



(19)

(11) Publication number: 2001291781 A

Generated Document

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 2000106198

(51) Int. Cl.: H01L 21/8238 H01L 27/092 H01L 21/8222 H01L 27/06

(22) Application date: 07.04.00

(30) Priority:

(43) Date of application publication: 19.10.01

(84) Designated contracting states:

(71) Applicant: MATSUSHITA ELECTRIC IND CO LTD

(72) Inventor: TSUJIMOTO KOICHI

(74) Representative:

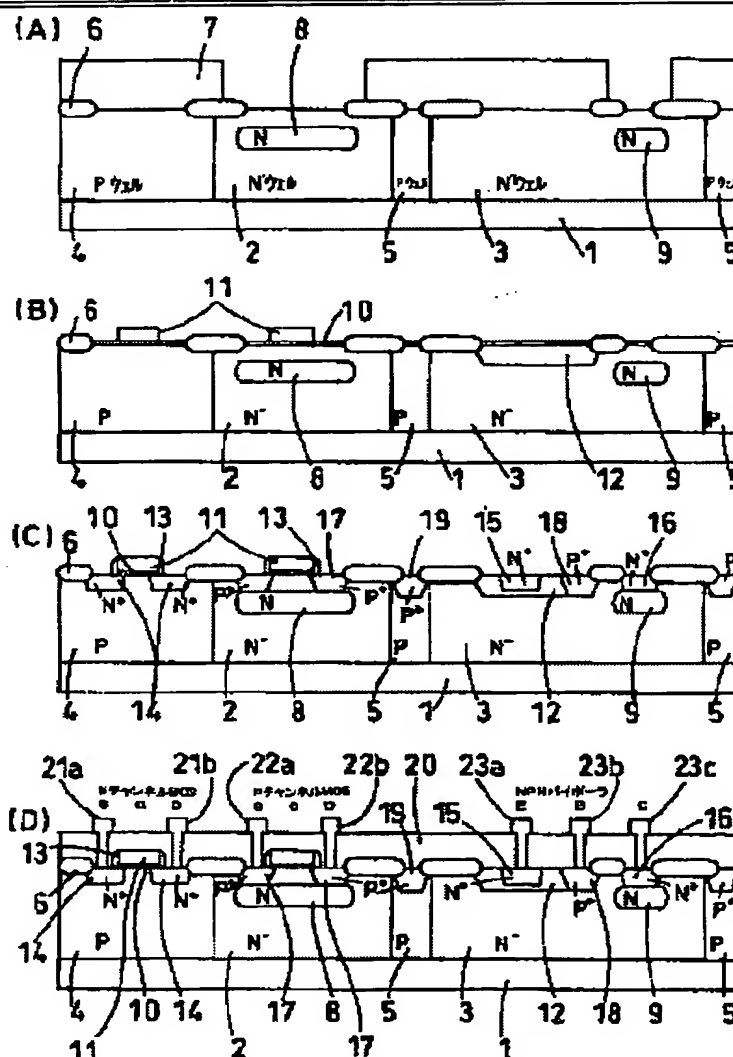
## (54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a method for manufacturing a semiconductor device into which a BiCOMS semiconductor device capable of constituting a bi-polar transistor capable of reducing a collector resistance without forming any epitaxial layer is integrated.

**SOLUTION:** An N type diffusion area 9 is formed just under an N+ type diffusion area 16 for ohmic contact in an N-type well 3 of the collector area of an NPN type bi-polar transistor, by using a process to carry out ion injection for forming an N type diffusion area 8 for improving punch through breakdown strength between the drain and source of a P type channel MOS transistor simultaneously prepared with the bi-polar transistor. Thus, the concentration of the collector of the NPN type bi-polar transistor can be improved, and electric characteristics can be improved.

COPYRIGHT: (C)2001,JPO



BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-291781  
(P2001-291781A)

(43) 公開日 平成13年10月19日 (2001. 10. 19)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-リ-ト* (参考)
H 0 1 L 21/8238		H 0 1 L 27/08	3 2 1 E 5 F 0 4 8
27/092		27/06	1 0 1 U 5 F 0 8 2
21/8222			
27/06			

審査請求 未請求 請求項の数 3 O L (全 12 頁)

(21) 出願番号 特願2000-106198 (P2000-106198)

(22) 出願日 平成12年4月7日 (2000. 4. 7)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 辻本 光一

大阪府高槻市幸町1番1号 松下電子工業  
株式会社内

(74) 代理人 100076174

弁理士 宮井 暎夫

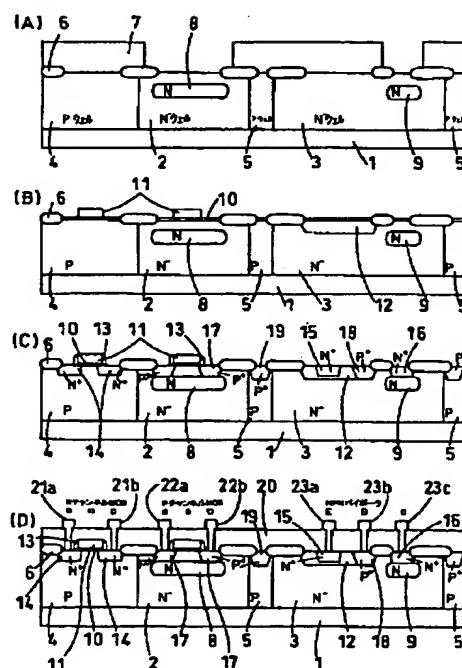
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 エピタキシャル層を形成しなくても、コレクタ抵抗を低くできるバイポーラトランジスタを構成できる Bi CMOS 半導体装置を集積化した半導体装置の製造方法を提供する。

【解決手段】 バイポーラトランジスタと同時に作り込まれる P チャネル型 MOS トランジスタのドレイン・ソース間のバンスルー耐圧を向上させる N 型拡散領域 8 を形成するイオン注入の工程を兼用して、NPN 型バイポーラトランジスタのコレクタ領域となる N<sup>-</sup> 型ウェル 3 において、オーミックコンタクト用の N<sup>+</sup> 型拡散領域 16 の直下に N 型拡散領域 9 を形成する。これによって、NPN 型バイポーラトランジスタのコレクタの濃度が高められ電気特性が向上する。



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】 第1導電型の半導体基板の表面に第1導電型チャンネルを有するMOSトランジスタと縦型バイポーラトランジスタとを形成する半導体装置の製造方法であって、  
前記半導体基板に前記MOSトランジスタ用の第2導電型の第1のウェルを形成すると同時に前記縦型バイポーラトランジスタのコレクタ領域となる第2導電型の第2のウェルを形成する第1の工程と、  
不純物濃度が前記第1のウェルよりも高く拡散深さが浅い第2導電型の第1の拡散領域を前記第1のウェルにおける前記MOSトランジスタのソース・ドレイン拡散領域およびチャンネル領域の形成予定領域の直下に形成すると同時に、不純物濃度が前記第2のウェルよりも高く拡散深さが浅い第2導電型の第2の拡散領域を前記第2のウェルにおける前記縦型バイポーラトランジスタのコレクタ領域のオーミックコンタクト用拡散領域の形成予定領域の直下に形成する第2の工程とを含む半導体装置の製造方法。

【請求項2】 第1の拡散領域の形成と同時に、不純物濃度が前記第2のウェルよりも高く拡散深さが浅い第2導電型の第3の拡散領域を、前記第2のウェルにおける前記縦型バイポーラトランジスタのコレクタ領域の表面のベース領域の形成予定領域の直下でかつ前記ベース領域の表面のエミッタ領域の形成予定領域の真下に形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 第1導電型の半導体基板の表面に第1導電型チャンネルを有するMOSトランジスタと横型バイポーラトランジスタとを形成する半導体装置の製造方法であって、  
前記半導体基板に前記MOSトランジスタ用の第2導電型の第1のウェルを形成すると同時に前記横型バイポーラトランジスタのベース領域となる第2導電型の第2のウェルを形成する第1の工程と、  
不純物濃度が前記第1のウェルよりも高く拡散深さが浅い第2導電型の第1の拡散領域を前記第1のウェルにおける前記MOSトランジスタのソース・ドレイン拡散領域およびチャンネル領域の形成予定領域の直下に形成すると同時に、不純物濃度が前記第2のウェルよりも高く拡散深さが浅い第2導電型の第2の拡散領域を前記第2のウェルにおける前記横型バイポーラトランジスタのベース領域のオーミックコンタクト用拡散領域、エミッタ拡散領域およびコレクタ拡散領域の形成予定領域の直下に形成する第2の工程とを含む半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に関するものであり、特にエビタキシャル層を形成しないで、バイポーラトランジスタとMOSトランジスタ

を同一基板上に形成する半導体装置の製造方法に関するものである。

## 【0002】

【従来の技術】 近年、アナログとデジタルの機能を混載した集積回路が多く用いられ、それらには、バイポーラトランジスタとMOSトランジスタとを内蔵した半導体装置（BiCMOS半導体装置）のデバイスが利用されている。

【0003】 以下に、従来の半導体装置の製造方法について説明する。

【0004】 図4はエビタキシャル層を形成しない従来のBiCMOS半導体装置の完成状態を示す断面図である。この半導体装置の製造方法は、ほとんど周知の技術で製造されるので、工程順の断面図を省略し簡単に説明する。なお、図面が複雑になるので、一部のハッチングは省く。

【0005】 図4において、1はP型シリコンからなる半導体基板である。2は半導体基板1に形成されたN<sup>-</sup>型ウェルで、Pチャンネル型MOSトランジスタ（以下PchMOSトランジスタと略す）領域になるものである。3はN<sup>-</sup>型ウェル2と同時に形成された縦型NPN型バイポーラトランジスタ（以下NPNトランジスタと略す）のコレクタ領域となるN<sup>-</sup>型ウェルである。4は半導体基板1に形成されたP型ウェルで、Nチャンネル型MOSトランジスタ（以下NchMOSトランジスタと略す）領域になるものである。

【0006】 5はNPNトランジスタのコレクタ領域とMOSトランジスタ領域とを素子分離するためのP型ウェルである。6はMOSトランジスタを素子分離するためのLOCOS酸化膜である。8はPchMOSトランジスタのドレインとソースの間のパンチスルーを防止し耐圧を高めるためのN型拡散領域である。10はゲート酸化膜である。11は多結晶シリコンからなるゲート電極である。12はNPNトランジスタのP型ベース（拡散領域）である。13はスペーサとなるCVD膜である。

【0007】 14はNchMOSトランジスタのソースとドレインになるN<sup>+</sup>型拡散領域である。15はNPNトランジスタのエミッタとなるN<sup>+</sup>型拡散領域である。16はNPNトランジスタのコレクタ領域の表面に設けられたオーミックコンタクト用のN<sup>+</sup>型拡散領域である。17はPchMOSトランジスタのソースとドレインとなるP<sup>+</sup>型拡散領域である。18はNPNトランジスタのP型ベース12の表面に設けられて外部ベース領域になるP<sup>+</sup>型拡散領域である。19は素子分離のP型ウェル5の表面に設けられたP<sup>+</sup>型拡散領域である。20はCVD膜からなるフィールド酸化膜である。

【0008】 21aはNchMOSトランジスタのソース電極である。21bはNchMOSトランジスタのドレイン電極である。22aはPchMOSトランジスタ

のソース電極である。22bはPchMOSトランジスタのドレイン電極である。23aはNPNTランジスタのエミッタ電極である。23bはNPNTランジスタのベース電極である。23cはNPNTランジスタのコレクタ電極である。

【0009】つぎに、エピタキシャル層を形成しない従来のBiCMOS半導体装置の製造方法について説明する。

【0010】最初に、マスクを用いて、P型シリコンからなる半導体基板1において、PchMOSトランジスタとなる領域にN<sup>-</sup>型ウェル2を形成すると同時に、NPNTランジスタのコレクタとなる領域にN<sup>-</sup>型ウェル3を形成する。また、マスクを用いて、NchMOSトランジスタとなる領域にPウェル4を形成すると同時に、バイポーラトランジスタの素子分離になる領域にPウェル5を形成する。

【0011】つぎに、熱酸化により、PchMOSトランジスタとNchMOSトランジスタの素子分離になるLOCOS酸化膜6を形成する。このLOCOS酸化膜6は、NPNTランジスタのコレクタ領域の表面の一部にも形成されフィールド酸化膜となる。

【0012】さらに、PchMOSトランジスタ領域のN<sup>-</sup>型ウェル2とNchMOSトランジスタ領域のP型ウェル4とに、MOSトランジスタのしきい値電圧を合わせ込むためのイオン注入を行う(図4では図示せず)。

【0013】そして、リンの不純物を用いて80keVから200keVのエネルギーでイオン注入し、PchMOSトランジスタのN<sup>-</sup>型ウェル2の表面近傍にN型拡散領域8を形成する。N型拡散領域8はPchMOSトランジスタのドレインとソースの間の耐圧がパンチスルーで低下するのを防ぐためのものである。ソース・ドレイン用の拡散領域およびチャネル領域の形成予定領域の直下に形成される。

【0014】つぎに、熱酸化によりLOCOS酸化膜6以外の半導体基板1の表面にゲート酸化膜10を形成し、リンを含む多結晶シリコンを堆積し、それをエッチングすることでゲート電極11をパターンニングする。また、ボロンを用いたイオン注入によりNPNTランジスタのコレクタ領域の表面にP型ベース12を形成し、さらに熱酸化でゲート電極11の多結晶シリコンを酸化する(図4では図示せず)。

【0015】そして、全面にCVD(Chemical Vapor Deposition)膜を堆積し、RIE法(Reactive Ion Etch)を用いて全面をエッチングし、ゲート電極11の側面にスペーサーとしてCVD膜13を形成する。CVD膜13は、MOSトランジスタのショートチャネル効果を防ぐため、図4では示していないがNchMOSトランジスタ領域にN型拡散領域を形成し、またPchMOSトランジスタ領域にP型拡散領域を形成するイ

オン注入のマスクとしてこのスペーサーが用いられる。

【0016】つぎに、N型不純物を用いたイオン注入により、NchMOSトランジスタのソースおよびドレインとなるN<sup>+</sup>型拡散領域14と、NPNTランジスタのエミッタとなるN<sup>+</sup>型拡散領域15と、NPNTランジスタのコレクタ領域の表面のオーミックコンタクト用のN<sup>+</sup>型拡散領域16とを形成する。

【0017】引続きボロンを用いたイオン注入により、PchMOSトランジスタのソースおよびドレインとなるP<sup>+</sup>型拡散領域17と、NPNTランジスタのP型ベース12の表面の外部ベース領域となるP<sup>+</sup>型拡散領域18と、素子分離のPウェル5の表面のP<sup>+</sup>型拡散領域19とを形成する。

【0018】その後、CVD膜からなるフィールド酸化膜20を形成し、通常の半導体装置の製造方法と同様に、NchMOSトランジスタのソース電極21a、NchMOSトランジスタのドレイン電極21b、PchMOSトランジスタのソース電極22a、PchMOSトランジスタのドレイン電極22b、NPNTランジスタのエミッタ電極23a、NPNTランジスタのベース電極23b、NPNTランジスタのコレクタ電極23cを形成し、エピタキシャル層を形成しないBiCMOS半導体装置の製造を完成させる。

【0019】また、図5は別の従来のBiCMOS半導体装置の完成状態を示す断面図である。MOSトランジスタの領域は図4と同じであるので説明を省く。図5において、9cはNPNTランジスタのコレクタ領域となるN<sup>-</sup>型ウェル3の表面に形成されるN型拡散領域である。

【0020】エピタキシャル層を形成しないBiCMOS半導体装置の製造では、N<sup>-</sup>型ウェル3に形成される濃度の高い埋め込み層を省略することが多い。そのとき、N<sup>-</sup>型ウェル3も比較的濃度が低いのでNPNTランジスタのコレクタ寄生抵抗が高くなる。そのために、従来の製造方法では、LOCOS酸化膜6を形成した後、マスクを用いてNPNTランジスタのコレクタ電極23cの直下のみに、N型不純物によるイオン注入によりN型拡散領域9cを形成している。N型拡散領域9cは、N<sup>-</sup>型ウェル3より濃度が高く、後工程で形成されるN<sup>+</sup>型拡散領域16より深い位置に形成される。

【0021】さらに、図6は横型PNP型バイポーラトランジスタ(以下PNPトランジスタと略す)を内蔵した別の従来のBiCMOS半導体装置の完成状態を示す断面図である。MOSトランジスタの領域は図4と同じであるので説明を省く。図6において、3はPchMOSトランジスタのN<sup>-</sup>型ウェル2と同時に形成されたPNPトランジスタのベース領域となるN<sup>-</sup>型ウェルであり、15aはPNPトランジスタのベース領域であるN<sup>-</sup>型ウェル3の表面に設けられたオーミックコンタクト用のN<sup>+</sup>型拡散領域、18aはPNPトランジスタのエ

10

20

30

40

50

ミッタとなるP<sup>+</sup>型拡散領域、18bはPNPトランジスタのコレクタとなるP<sup>+</sup>型拡散領域、24aはPNPトランジスタのベース電極、24bはPNPトランジスタのエミッタ電極、24cはPNPトランジスタのコレクタ電極である。

【0022】以下に、エビタキシャル層を形成せずPNPトランジスタを内蔵した従来BiCMOS半導体装置の製造方法について説明する。

【0023】最初に、マスクを用いて、P型シリコンからなる半導体基板1において、PchMOSTトランジスタとなる領域にN<sup>-</sup>型ウェル2を形成すると同時に、PNPトランジスタのベースとなる領域にN<sup>-</sup>型ウェル3を形成する。また、マスクを用いて、NchMOSTトランジスタとなる領域にP型ウェル4を形成すると同時に、バイポーラトランジスタの素子分離になる領域にP型ウェル5を形成する。

【0024】つぎに、熱酸化により、PchMOSTトランジスタとNchMOSTトランジスタの素子分離になるLOCOS酸化膜6を形成する。MOSTトランジスタの領域は図4と同じであるので一部の説明を省くが、ゲート酸化膜10を設け、リンを含む多結晶シリコンを堆積し、それをエッチングすることでゲート電極11をパターンニングする。また、ゲート電極11の側面にスペーサーとしてCVD膜13を形成する。また、N型不純物を用いたイオン注入により、NchMOSTトランジスタのソースおよびドレインとなるN<sup>+</sup>型拡散領域14と、PNPトランジスタのベース領域の表面のオーミックコンタクト用のN<sup>+</sup>型拡散領域15aとを形成する。

【0025】引き続きボロンを用いたイオン注入により、PchMOSTトランジスタのソースおよびドレインとなるP<sup>+</sup>型拡散領域17と、PNPトランジスタのエミッタとなるP<sup>+</sup>型拡散領域18aと、PNPトランジスタのコレクタとなるP<sup>+</sup>型拡散領域18bと、素子分離のP型ウェル5の表面のP<sup>+</sup>型拡散領域19を形成する。

【0026】その後、CVD膜からなるフィールド酸化膜20を形成し、通常の半導体装置の製造方法と同様に、PNPトランジスタのベース電極24a、PNPトランジスタのエミッタ電極24b、PNPトランジスタのコレクタ電極24cを形成し、エビタキシャル層を形成しないでPNPトランジスタを内蔵しているBiCMOS半導体装置の製造を完成させる。

【0027】以上のように構成されたエビタキシャル層を形成しないBiCMOS半導体装置について、以下その動作について説明する。図4の従来例ではPchMOSTトランジスタ領域のN<sup>-</sup>型ウェル2を形成する工程を兼用しNPNTランジスタのコレクタ領域となるN<sup>-</sup>型ウェル3を形成して、製造工程数を減らしている。PchMOSTトランジスタのしきい値の制御し易さやNPNTランジスタの耐圧を確保することを考えて、N<sup>-</sup>型ウェル2、3は比較的濃度を低くしているため、NPNT

ランジスタの寄生のコレクタ抵抗が高い。

【0028】図9は、図4の従来例におけるコレクタ電極直下の深さ方向に対する不純物濃度の分布を示したものであり、コレクタの寄生抵抗は半導体基板1の表面の浅いN<sup>-</sup>型拡散領域16よりも低濃度である深いN<sup>-</sup>型ウェル3の濃度で決められる。また、NPNTランジスタの重要な特性である電流増幅率は、エミッタがNchMOSTトランジスタのソースとドレインを形成する工程を兼用して形成されているので、ベースの不純物濃度と厚みで制御している。

【0029】図5の従来例では、製造工程が増えるがマスクを用いてNPNTランジスタのコレクタ電極の直下のみに、N<sup>-</sup>型ウェル3より濃度が高いN型拡散領域9cを形成し、コレクタ電極の直下のコレクタ抵抗を下げている。

【0030】図6の従来例では、PchMOSTトランジスタ領域のN<sup>-</sup>型ウェル2を形成する工程を兼用してPNPトランジスタのベース領域となるN<sup>-</sup>型ウェル3を形成し、製造工程数を減らしている。PNPトランジスタの電流増幅率は、N<sup>-</sup>型ウェル3であるベースの不純物濃度と、ベース幅すなわちPNPトランジスタのエミッタとコレクタの間隔で制御される。

【0031】

【発明が解決しようとする課題】しかしながら、上記の図4のような従来の構成では、PchMOSTトランジスタのしきい値の制御性やNPNTランジスタの耐圧を確保するため、NPNTランジスタのコレクタ領域であるN<sup>-</sup>型ウェル3は比較的濃度を低くしているため、NPNTランジスタの寄生のコレクタ抵抗が高い。それに伴いNPNTランジスタの飽和電圧も高く、大電流が流せない。さらに、NPNTランジスタのベースと基板間で、濃度が低いNPNTランジスタのコレクタ領域をベースとして動作する寄生PNPトランジスタの電流増幅率が大きくなり、集積回路が誤動作し易い。

【0032】また、図5のような従来の構成では、NPNTランジスタのコレクタ電極の直下のみに、N<sup>-</sup>型ウェル3より濃度が高いN型拡散領域9cを形成し、コレクタ電極の直下の濃度を上げて寄生のコレクタ抵抗や寄生のPNPトランジスタの電流増幅率を下けているが、製造工程も増えており製造方法のコストが高くなる。

【0033】図4と図5の従来例において、NPNTランジスタのエミッタ直下の深さ方向に対する不純物濃度の分布は図10のようになる。NPNTランジスタのコレクタ領域となるN<sup>-</sup>型ウェル3の濃度は $1 \times 10^{15} \sim 6 \times 10^{16}$ 程度であり、P型不純物によるイオン注入でベースを形成するときに生じるチャネリングや熱処理での不純物の再分布に伴い、ベースの不純物濃度分布の急峻さが失われる。その結果、ベースの幅も大きくなり、動作時のベース走行時間が長くなりトランジスタの電流遮断周波数 $f_t$ が低下する。さらに、N<sup>-</sup>型ウェル3の

濃度が低い場合、大電流の動作時にはベース拡がり効果が生じ易く、電流遮断周波数 $f_t$ がさらに低下し易い。

【0034】さらに、図6のような従来の構成では、図4と同様に基板と横型PNPトランジスタのコレクタ間に寄生のPNPトランジスタが動作し、その電流増幅率も大きいために基板への大きな漏れ電流が発生する。従来例では、以上のようにさまざまな問題があった。

【0035】本発明の目的は、上記従来の問題点を解決するもので、エピタキシャル層を形成しなくても、縦型バイポーラトランジスタの寄生のコレクタ抵抗を下げ、かつ製造コストを低く抑えることができる半導体装置の製造方法を提供することである。

【0036】本発明の他の目的は、良好な周波数特性を有し、かつ電流遮断周波数を高くすることができる半導体装置の製造方法を提供することである。

【0037】本発明のさらに他の目的は、基板と横型バイポーラトランジスタのコレクタ間に寄生のPNPトランジスタの電流増幅率を小さくして基板へ流れる漏れ電流を低減することができる半導体装置の製造方法を提供することである。

【0038】

【課題を解決するための手段】この目的を達成するために、請求項1記載の発明の半導体装置の製造方法は、第1導電型の半導体基板の表面に第1導電型チャンネルを有するMOSトランジスタと縦型バイポーラトランジスタとを形成する半導体装置の製造方法であって、半導体基板にMOSトランジスタ用の第2導電型の第1のウェルを形成すると同時に縦型バイポーラトランジスタのコレクタ領域となる第2導電型の第2のウェルを形成する第1の工程と、不純物濃度が第1のウェルよりも高く拡散深さが浅い第2導電型の第1の拡散領域を第1のウェルにおけるMOSトランジスタのソース・ドレイン拡散領域およびチャンネル領域の形成予定領域の直下に形成すると同時に、不純物濃度が第2のウェルよりも高く拡散深さが浅い第2導電型の第2の拡散領域を第2のウェルにおける縦型バイポーラトランジスタのコレクタ領域のオーミックコンタクト用拡散領域の形成予定領域の直下に形成する第2の工程とを含む。

【0039】この方法によれば、第1のウェルにおいてMOSトランジスタのソース・ドレイン拡散領域およびチャンネル領域の形成予定領域の直下に第2導電型不純物のイオン注入による第2導電型の第1の拡散領域を形成する製造工程を用いて、第2のウェルにおいて縦型バイポーラトランジスタのコレクタ領域のオーミックコンタクト用拡散領域の形成予定領域の直下に、第2のウェルよりも濃度が高い第2導電型の第2の拡散領域を形成する。これによって、製造工程を追加することなく、コレクタ領域のオーミックコンタクト用拡散領域の直下の不純物濃度を上げることができ、したがって寄生のコレクタ抵抗を低減できる。したがって、製造コストを低く抑

えることができる。

【0040】請求項2記載の発明の半導体装置の製造方法は、請求項1記載の半導体装置の製造方法において、第1の拡散領域の形成と同時に、不純物濃度が第2のウェルよりも高く拡散深さが浅い第2導電型の第3の拡散領域を、第2のウェルにおける縦型バイポーラトランジスタのコレクタ領域の表面のベース領域の形成予定領域の直下でかつベース領域の表面のエミッタ領域の形成予定領域の真下に形成することを特徴とする。

【0041】この方法によれば、第1のウェルにおいてMOSトランジスタのソース・ドレイン拡散領域およびチャンネル領域の形成予定領域の直下に第2導電型不純物のイオン注入による第2導電型の第1の拡散領域を形成する製造工程を用いて、第2のウェルにおける縦型バイポーラトランジスタのコレクタ領域の表面のベース領域の形成予定領域の直下でかつベース領域の表面のエミッタ領域の形成予定領域の真下に第3の拡散領域を設けることで、ベースとコレクタの接合部のコレクタの濃度を上げているので、製造工程を追加することなく、大電流動作時に生じるベース拡がり効果が生じ難くなり高い電流遮断周波数が得られる。

【0042】また、第3の拡散領域を設けたことで、ベースの幅を小さくでき、動作時のベース走行時間を短くでき、トランジスタの周波数特性を向上させることができる。

【0043】請求項3記載の発明の半導体装置の製造方法は、第1導電型の半導体基板の表面に第1導電型チャンネルを有するMOSトランジスタと横型バイポーラトランジスタとを形成する半導体装置の製造方法であって、半導体基板にMOSトランジスタ用の第2導電型の第1のウェルを形成すると同時に横型バイポーラトランジスタのベース領域となる第2導電型の第2のウェルを形成する第1の工程と、不純物濃度が第1のウェルよりも高く拡散深さが浅い第2導電型の第1の拡散領域を第1のウェルにおけるMOSトランジスタのソース・ドレイン拡散領域およびチャンネル領域の形成予定領域の直下に形成すると同時に、不純物濃度が第2のウェルよりも高く拡散深さが浅い第2導電型の第2の拡散領域を第2のウェルにおける横型バイポーラトランジスタのベース領域のオーミックコンタクト用拡散領域、エミッタ拡散領域およびコレクタ拡散領域の形成予定領域の直下に形成する第2の工程とを含む。

【0044】この方法によれば、第1のウェルにおいてMOSトランジスタのソース・ドレイン拡散領域およびチャンネル領域の形成予定領域の直下に第2導電型不純物のイオン注入による第2導電型の第1の拡散領域を形成する製造工程を用いて、第2のウェルにおける横型バイポーラトランジスタのベース領域のオーミックコンタクト用拡散領域、エミッタ拡散領域およびコレクタ拡散領域の形成予定領域の直下に第2の拡散領域を設けること

で、横型バイポーラトランジスタのベース領域の濃度を上げているため、基板と横型バイポーラトランジスタのコレクタの間に作られる寄生PNPトランジスタの電流増幅率を小さくでき、漏れ電流を低減することができ

る。

【0045】

【発明の実施の形態】以下、本発明の第1の実施の形態について、図面を参照しながら説明する。

【0046】図1は本発明の第1の実施の形態に基づく半導体装置の製造方法を説明するための工程順断面図である。

【0047】まず図1(A)のように、マスクを用いて、P型不純物を含む比抵抗 $10 \sim 20 \Omega \cdot \text{cm}$ の(100)半導体基板1において、PchMOSトランジスタとなる領域にリンによるイオン注入でN<sup>-</sup>型ウェル2を形成すると同時に、NPNトランジスタのコレクタとなる領域にリンによるイオン注入でN<sup>-</sup>型ウェル3を形成する。また、マスクを用いて、NchMOSトランジスタとなる領域にボロンによるイオン注入でP型ウェル4を形成すると同時に、バイポーラトランジスタの素子分離になる領域にボロンによるイオン注入でP型ウェル5を形成する。この後熱拡散する。このときのN<sup>-</sup>型ウェル2、3およびP型ウェル4、5の表面の不純物濃度は $1 \times 10^{15} \sim 6 \times 10^{16} \text{ cm}^{-3}$ である。

【0048】つぎに、熱酸化により、PchMOSトランジスタとNchMOSトランジスタの素子分離になるLOCOS酸化膜6を形成する。このLOCOS酸化膜6は、膜厚が500～700nm程度であり、NPNトランジスタのコレクタ領域の表面の一部にも形成されフィールド酸化膜となる。さらに、PchMOSトランジスタ領域のN<sup>-</sup>型ウェル2とNchMOSトランジスタ領域のP型ウェル4とに、MOSトランジスタのしきい値電圧を合わせ込むため、ボロン不純物を用いたイオン注入を行う(図1(A)では省略)。

【0049】その後、全面にレジスト7を塗布し、マスクを用いてPchMOSトランジスタ領域上とNPNトランジスタのコレクタ領域の電極を設ける領域上のレジスト7を開口させる。そして、リンの不純物を用いて80keVから200keVのエネルギーでイオン注入し、PchMOSトランジスタのN<sup>-</sup>型ウェル2の表面近傍にN型拡散領域8を形成すると同時に、NPNトランジスタのコレクタの表面近傍にN型拡散領域9を形成する。

【0050】その後、アニールとして熱処理する。このときのN型拡散領域8、9の不純物濃度は $1 \times 10^{17} \sim 4 \times 10^{17} \text{ cm}^{-3}$ 程度で深さが0.4～0.7 $\mu\text{m}$ になる。N型拡散領域8はPchMOSトランジスタのドレインとソースの間の耐圧がパンチスルーで低下するのを防ぐためのものであり、ソース・ドレインとなるP<sup>+</sup>型拡散領域(後述)およびチャネル領域の形成予定領域の

直下に形成される。また、N型拡散領域9は、コレクタ領域のオーミックコンタクト用のN<sup>+</sup>型拡散領域(後述)の形成予定領域の直下に形成される。

【0051】つぎに、図1(B)に示すように、レジスト7を除去し、熱酸化によりLOCOS酸化膜6以外の半導体基板1の表面に7～30nm程度の膜厚のゲート酸化膜10を設け、リンを含む膜厚が400nmの多結晶シリコンを堆積し、それをエッチングしてゲート電極11をパターンニングする。ゲート電極11のシート抵抗は、 $15 \sim 50 \Omega / \square$ である。

【0052】また、ボロンを用いたイオン注入によりNPNトランジスタのコレクタ領域の表面にP型ベース12を形成し、熱酸化でゲート電極11の多結晶シリコンを10～30nm酸化する。(図1(B)では図示せず)つぎに、図1(C)に示すように、全面にTEOS(Tetra-Ethyl-Ortho-Silicate)の熱分解を利用したCVD膜を100～300nmの膜厚で堆積し、RIE法を用いて全面をエッチングしゲート電極11の側面にスペーサーとしてCVD膜13を形成する。CVD膜13は、MOSトランジスタのショートチャネル効果を防ぐため、図1(C)では図示しないがNchMOSトランジスタ領域にN型拡散領域を形成するとともにPchMOSトランジスタ領域にP型拡散領域を形成するためのイオン注入のマスクとしてこのスペーサーが用いられる。

【0053】そして、砒素を用いたイオン注入により、NchMOSトランジスタのソースおよびドレインになるN<sup>+</sup>型拡散領域14と、NPNトランジスタのエミッタとなるN<sup>+</sup>型拡散領域15と、オーミックコンタクトをとるためNPNトランジスタのコレクタ領域の表面のN<sup>+</sup>型拡散領域16とを形成する。N<sup>+</sup>型拡散領域16は、N型拡散領域9の直上に形成される。

【0054】引き続きボロンを用いたイオン注入により、PchMOSトランジスタのソースおよびドレインとなるP<sup>+</sup>型拡散領域17と、NPNトランジスタのベース12の表面の外部ベース領域となるP<sup>+</sup>型拡散領域18と、素子分離のP型ウェル5の表面のP<sup>+</sup>型拡散領域19とを形成する。P<sup>+</sup>型拡散領域17は、N型拡散領域8の直上に設けられる。

【0055】さらに、熱処理を含めることで、N<sup>+</sup>型拡散領域14と、NPNトランジスタのエミッタであるN<sup>+</sup>型拡散領域15とは、表面不純物濃度が $2 \times 10^{20} \text{ cm}^{-3}$ 程度で深さが0.2～0.3 $\mu\text{m}$ となる。また、P<sup>+</sup>型拡散領域17、18は、表面不純物濃度が $2 \times 10^{20} \text{ cm}^{-3}$ 程度で深さが0.3～0.4 $\mu\text{m}$ となる。

【0056】つぎに図1(D)に示すように、CVD膜からなるフィールド酸化膜20を形成し、通常の半導体装置の製造方法と同様に、NchMOSトランジスタのソース電極21a、NchMOSトランジスタのドレイン電極21b、PchMOSトランジスタのソース電極



22a、PchMOSトランジスタのドレイン電極22b、NPNトランジスタのエミッタ電極23a、NPNトランジスタのベース電極23b、NPNトランジスタのコレクタ電極23cを形成し、本発明の第1の実施の形態に基づくBiCMOS半導体装置の製造を完成させる。

【0057】以上のように構成された本発明の第1の実施の形態である半導体装置について、以下、その動作について説明する。

【0058】まず、このような製造方法は、エピタキシャル層を形成しないことと、さらに、PchMOSトランジスタ領域のN<sup>-</sup>型ウェル2を形成する工程を兼用しNPNトランジスタのコレクタ領域となるN<sup>-</sup>型ウェル3を形成しているため製造工程数が少なく、低コストであることは言うまでもない。しかし、NPNトランジスタのコレクタ領域のN<sup>-</sup>型ウェル3は比較的低い濃度であるため、寄生のコレクタ抵抗が高い。これを製造工程を追加することで解決すれば、高いコストになる。

【0059】そこで、PchMOSトランジスタのドレインとソースとの間の耐圧がパンチスルーで低下するのを防ぐため、リンの不純物を用いて80keVから200keVのエネルギーでイオン注入し、PchMOSトランジスタのN<sup>-</sup>型ウェル2の表面近傍にN型拡散領域8を形成する工程を兼用し製造工程を増やさずに、N<sup>-</sup>型ウェル3においてコレクタ電極の直下の領域の表面近傍にN型拡散領域9を追加し、寄生のコレクタ抵抗を低くしている。

【0060】図7は、本発明の第1の実施の形態におけるコレクタ電極23c直下の深さ方向に対する不純物濃度の分布を示したものであり、この図7のようにNPNトランジスタのコレクタ領域である低濃度のN<sup>-</sup>型ウェル3と表面のN<sup>+</sup>型拡散領域16との間に $1 \times 10^{17} \sim 4 \times 10^{17} \text{ cm}^{-3}$ 程度で深さが0.4~0.7 $\mu\text{m}$ であるN型拡散領域9が追加されることでコレクタ領域の濃度が高められる。

【0061】そのため、NPNトランジスタの寄生のコレクタ抵抗が低くなり、NPNトランジスタの飽和電圧も低く、大電流が流せる。

【0062】さらに、図11に示すように、N型拡散領域9およびN<sup>+</sup>拡散領域16でP型ベース12の周囲を包囲することにより、横方向寄生PNPトランジスタのベース領域の不純物濃度が高められ、横方向寄生PNPトランジスタの電流増幅率が小さくなる。図11(a)はNPNトランジスタの領域の平面図を示し、同図

(b)は同図(a)のa-a線の断面図を示している。

【0063】横方向寄生PNPトランジスタとは、NPNトランジスタのP型ベース12をエミッタとし、N<sup>-</sup>型ウェル3をベースとし、P型ウェル5をコレクタとするものである。なお、寄生PNPトランジスタとしては、縦方向のもの(半導体基板1をコレクタとするも

の)も分布状に存在するが、縦方向のものと横方向のものを合成した寄生PNPトランジスタの電流増幅率は横方向のものが低下することによって低下する。

【0064】以上のように、第1の実施の形態におけるPchMOSトランジスタの工程を兼用し製造コストを上げずに、NPNトランジスタの寄生のコレクタ抵抗や飽和電圧を下げるができる。

【0065】以下、本発明の第2の実施の形態について、図面を参照しながら説明する。

【0066】図2は本発明の第2の実施の形態に基づく半導体装置の製造方法を工程ごとに示す断面図である。本発明は図1に示す第1の実施の形態とは、NPNトランジスタのコレクタ領域のN<sup>-</sup>型ウェル3にN型拡散領域9bが形成されている点が異なり、共通する点は図1に使用した同じ番号を付与して図示するので、詳細な説明は省く。

【0067】まず、図2(A)のように、P型の半導体基板1において、PchMOSトランジスタとなる領域にN<sup>-</sup>型ウェル2を形成すると同時に、NPNトランジスタのコレクタとなる領域にN<sup>-</sup>型ウェル3を形成し、NchMOSトランジスタとなる領域にP型ウェル4を形成すると同時に、バイポーラトランジスタの素子分離になる領域にP型ウェル5を形成する。

【0068】つぎに、熱酸化により、PchMOSトランジスタとNchMOSトランジスタの素子分離になるLOCOS酸化膜6を形成する。その後、全面にレジスト7を塗布し、マスクを用いてPchMOSトランジスタ領域上とNPNトランジスタのコレクタ領域の電極を設ける領域上と後工程の処理で形成するNPNトランジスタのエミッタ領域上にあるレジスト7を開口させる。

【0069】そして、リンの不純物を用いて80keVから200keVのエネルギーでイオン注入し、PchMOSトランジスタのN<sup>-</sup>型ウェル2の表面近傍にN型拡散領域8を形成し、NPNトランジスタのコレクタの表面近傍にN型拡散領域9aを形成し、エミッタ直下で後の工程で形成されるベースとN<sup>-</sup>型ウェル3の接合部にN型拡散領域9bを形成する。N型拡散領域8は、ソース・ドレインとなるP<sup>+</sup>型拡散領域(後述)およびチャネル領域の形成予定領域の直下に形成される。また、N型拡散領域9aは、コレクタ領域のオーミックコンタクト用のN<sup>+</sup>型拡散領域(後述)の形成予定領域の直下に形成される。N型拡散領域9bは、N<sup>-</sup>型ウェル3におけるNPNトランジスタのコレクタ領域の表面のベース領域(後述)の形成予定領域の直下でかつベース領域の表面のエミッタ領域(後述)の形成予定領域の真下に形成される。

【0070】つぎに、図2(B)に示すように、半導体基板1の表面に7~30nm程度の膜厚のゲート酸化膜10を形成し、リンを含む膜厚が400nmの多結晶シリコンを堆積し、それをエッチングしてゲート電極11



をバターンニングする。また、ボロンを用いたイオン注入によりNPNTランジスタのコレクタ領域であるN<sup>-</sup>型ウェル3の表面にP型ベース12を形成する。

【0071】つぎに、図2(C)に示すように、全面にCVD膜を堆積し、RIE法を用いてゲート電極11の側面にスペーザーとしてCVD膜13を形成する。

【0072】そして、砒素を用いたイオン注入により、NchMOSTランジスタのソースおよびドレインになるN<sup>+</sup>型拡散領域14と、NPNTランジスタのエミッタとなるN<sup>+</sup>型拡散領域15と、NPNTランジスタのコレクタ領域の表面のオーミックコンタクト用のN<sup>+</sup>型拡散領域16とを形成する。N<sup>+</sup>型拡散領域16は、N型拡散領域9の直上に形成される。N<sup>+</sup>型拡散領域15は、N型拡散領域9bの真上に形成される。

【0073】引続きボロンを用いたイオン注入により、PchMOSTランジスタのソースおよびドレインとなるP<sup>+</sup>型拡散領域17と、NPNTランジスタのベース12の表面の外部ベース領域になるP<sup>+</sup>型拡散領域18と、素子分離のP型ウェル5の表面のP<sup>+</sup>型拡散領域19とを形成する。P<sup>+</sup>型拡散領域17は、N型拡散領域8の直上に設けられる。

【0074】つぎに、図2(D)に示すように、CVD膜からなるフィールド酸化膜20を形成し、通常の半導体装置の製造方法と同様に、NchMOSTランジスタのソース電極21a、NchMOSTランジスタのドレイン電極21b、PchMOSTランジスタのソース電極22a、PchMOSTランジスタのドレイン電極22b、NPNTランジスタのエミッタ電極23a、NPNTランジスタのベース電極23b、NPNTランジスタのコレクタ電極23cを形成し、本発明の第2の実施の形態に基づくBiCMOS半導体装置の製造を完成させる。

【0075】以上のように構成された本発明の第2の実施の形態である半導体装置について、以下、その動作について説明する。

【0076】まず、図8は本発明の第2の実施の形態のエミッタ直下の深さ方向に対する不純物濃度の分布を示したものである。PchMOSTランジスタのN<sup>-</sup>型ウェル2の表面近傍にN型拡散領域8を形成する工程を兼用し製造工程を増やさずに、N<sup>-</sup>型ウェル3において、NPNTランジスタのエミッタであるN<sup>+</sup>型拡散領域15の真下でかつベース領域の直下に位置する領域にN型拡散領域9bが形成されており、エミッタ直下におけるP型ベース12とN型拡散領域9bの接合部のコレクタの濃度が、 $1 \times 10^{15} \sim 6 \times 10^{16} \text{ cm}^{-3}$ から $1 \times 10^{17} \sim 4 \times 10^{17} \text{ cm}^{-3}$ 程度に高められている。

【0077】そのため、イオン注入でベースを形成するときに生じるチャネリングが発生し難く、また、アニールや熱処理での不純物の再分布も発生し難いので、ベースの不純物濃度の分布は急峻さを保つことができる。

コレクタの濃度が高いために、同じベース濃度に対してベースの幅が小さくなる。したがって、動作時のベース走行時間が短くなりNPNTランジスタの周波数特性を向上できる。さらに、コレクタの濃度が高いため、大電流の動作時にベース拡がり効果が生じ難く電流遮断周波数 $f_T$ が高められる。また、エミッタ直下のコレクタの濃度が高いために、寄生のコレクタ抵抗も低減できる。

【0078】以上のように、第2の実施の形態におけるPchMOSTランジスタの工程を兼用し製造コストを上げずに、NPNTランジスタの周波数特性を向上させることができ、また、電流遮断周波数を高くすることができる。

【0079】以下本発明の第3の実施の形態について、図面を参照しながら説明する。

【0080】図3は本発明の第3の実施の形態に基づく半導体装置の製造方法を工程ごとに示す断面図である。本発明は図1に示す第1の実施の形態とは、バイポーラランジスタとして横型PNPランジスタを内蔵させた点が異なり、共通する点は図1に使用した同じ番号を付与して図示するので、詳細な説明は省く。

【0081】まず、図3(A)のように、P型の半導体基板1にPchMOSTランジスタとなる領域にN<sup>-</sup>型ウェル2を形成すると同時に、PNPランジスタのベースとなる領域にN<sup>-</sup>型ウェル3を形成する。また、NchMOSTランジスタとなる領域にP型ウェル4を形成すると同時に、バイポーラランジスタの素子分離になる領域にPウェル5を形成する。

【0082】つぎに、PchMOSTランジスタとNchMOSTランジスタの素子分離になるLOCOS酸化膜6形成する。その後、全面にレジスト7を塗布してマスクを用いてPchMOSTランジスタ領域上とPNPランジスタのベース領域上にあるレジスト7を開口させる。

【0083】そして、リンの不純物を用いて80keVから200keVのエネルギーでイオン注入し、PchMOSTランジスタのN<sup>-</sup>型ウェル2の表面近傍にN型拡散領域8を形成し、PNPランジスタのベースの表面近傍にN型拡散領域9dを形成する。N型拡散領域8は、ソース・ドレインとなるP<sup>+</sup>型拡散領域(後述)およびチャネル領域の形成予定領域の直下に形成される。また、N型拡散領域9dは、N<sup>-</sup>型ウェル3におけるPNPランジスタのベース領域(後述)のオーミックコンタクト用拡散領域(後述)、エミッタ拡散領域(後述)およびコレクタ拡散領域(後述)の形成予定領域の直下に形成される。

【0084】つぎに、図3(B)に示すように、半導体基板表面に7~30nm程度の膜厚のゲート酸化膜10を形成し、リンを含む膜厚が400nmの多結晶シリコンを堆積し、それをエッチングしてゲート電極11をバターンニングする。全面にCVD膜を堆積し、RIE法を

用いてゲート電極11の側面にスペーサーとしてCVD膜13を形成する。

【0085】そして、NchMOSトランジスタのソースとドレインになるN<sup>+</sup>型拡散領域14とPNPトランジスタのベース領域の表面に設けられたオーミックコンタクト用のN<sup>+</sup>型拡散領域15aを形成する。また、PchMOSトランジスタのソースとドレインとなるP<sup>+</sup>型拡散領域17を形成し、PNPトランジスタのベース領域のN型拡散領域9dの表面(直上)にエミッタとなるP<sup>+</sup>型拡散領域18aと、コレクタとなるP<sup>+</sup>型拡散領域18bと、素子分離のP型ウェル5の表面のP<sup>+</sup>型拡散領域19とを形成する。

【0086】つぎに、図3(C)に示すように、CVD膜からなるフィールド酸化膜20を形成し、通常の半導体装置の製造方法と同様に、NchMOSトランジスタのソース電極21a、NchMOSトランジスタのドレイン電極21b、PchMOSトランジスタのソース電極22a、PchMOSトランジスタのドレイン電極22b、PNPトランジスタのベース電極24a、PNPトランジスタのエミッタ電極24b、PNPトランジスタのコレクタ電極24cを形成し、本発明の第3の実施の形態に基づくBiCMOS半導体装置の製造を完成させる。

【0087】以上のように構成された本発明の第3の実施の形態の半導体装置について、以下、その動作について説明する。

【0088】第3の実施の形態は、PchMOSトランジスタのN<sup>+</sup>型ウェル2の表面近傍にN型拡散領域8を形成する工程を兼用し製造工程を複雑化することなく、PNPトランジスタのベースとなる領域にN<sup>+</sup>型ウェル3より濃度が高いN型拡散領域9dを形成しており、基板とPNPトランジスタのコレクタ間で動作する寄生のPNPトランジスタの電流増幅率を小さくすることができ、基板への大きな漏れ電流が発生し難い。したがって、第3の実施の形態を利用した集積回路は誤動作が抑えられる。

【0089】以上のように、第3の実施の形態におけるPchMOSトランジスタの工程を兼用し製造コストを上げずに、寄生のPNPトランジスタの電流増幅率を小さくすることができる。

【0090】なお、第1の実施の形態や第2の実施の形態において、NPNトランジスタのP型ベース12はゲート電極11をパターンニングした後に形成したが、P型ベース12の形成はこの工程順番でなくてもよく、例えば、フィールド酸化膜20を堆積する前でも構わない。さらに、第1～第3の実施の形態において、半導体基板1はP型シリコンからなるとしたが、N型シリコンでも構わないし、また、酸化膜上に張り合わせた半導体基板を用いてもよい。

【0091】

【発明の効果】以上のように、請求項1記載の半導体装置の製造方法によれば、同一の半導体基板の表面に第1導電型チャンネルを有するMOSトランジスタとバイポーラトランジスタが形成される半導体装置の製造方法において、第1のウェルにおいてMOSトランジスタのソース・ドレイン拡散領域およびチャンネル領域の形成予定領域の直下に第2導電型不純物のイオン注入による第2導電型の第1の拡散領域を形成する製造工程を用いて、第2のウェルにおいて縦型バイポーラトランジスタのコレクタ領域のオーミックコンタクト用拡散領域の形成予定領域の直下に、第2のウェルよりも濃度が高い第2導電型の第2の拡散領域を形成するので、製造コストを上げることなく、コレクタ領域のオーミックコンタクト用拡散領域の直下の不純物濃度を上げることができ、したがって寄生のコレクタ抵抗や飽和電圧が低いバイポーラトランジスタを作ることができる。

【0092】また、本発明の請求項2記載の半導体装置の製造方法によれば、第1のウェルにおいてMOSトランジスタのソース・ドレイン拡散領域およびチャンネル領域の形成予定領域の直下に第2導電型不純物のイオン注入による第2導電型の第1の拡散領域を形成する製造工程を用いて、第2のウェルにおける縦型バイポーラトランジスタのコレクタ領域の表面のベース領域の形成予定領域の直下でかつベース領域の表面のエミッタ領域の形成予定領域の真下に第3の拡散領域を設けることで、ベースとコレクタの接合部のコレクタの濃度を上げているので、製造工程を追加することなく、大電流動作時に生じるベース拡がり効果が生じ難くなり高い電流遮断周波数が得られ、またベース幅も小さくできるため、周波数特性を良好とすることができる。

【0093】さらに、本発明の請求項3記載の半導体装置の製造方法によれば、第1のウェルにおいてMOSトランジスタのソース・ドレイン拡散領域およびチャンネル領域の形成予定領域の直下に第2導電型不純物のイオン注入による第2導電型の第1の拡散領域を形成する製造工程を用いて、第2のウェルにおける横型バイポーラトランジスタのベース領域のオーミックコンタクト用拡散領域、エミッタ拡散領域およびコレクタ拡散領域の形成予定領域の直下に第2の拡散領域を設けることで、横型バイポーラトランジスタのベース領域の濃度を上げているため、製造コストを上げることなく、基板と横型バイポーラトランジスタのコレクタの間に作られる寄生PNPトランジスタの電流増幅率を小さく抑えることができ、漏れ電流を低減することができ、集積回路の誤動作を防止することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態における半導体装置の製造方法を示す工程順断面図である。

【図2】本発明の第2の実施の形態における半導体装置の製造方法を示す工程順断面図である。

17

【図3】本発明の第3の実施の形態における半導体装置の製造方法を示す工程順断面図である。

【図4】第1の従来例における半導体装置の完成状態を示す断面図である。

【図5】第2の従来例における半導体装置の完成状態を示す断面図である。

【図6】第3の従来例における半導体装置の完成状態を示す断面図である。

【図7】本発明の第1の実施の形態におけるバイポーラトランジスタの不純物濃度の分布を示す概略図である。

【図8】本発明の第2の実施の形態におけるバイポーラトランジスタの不純物濃度の分布を示す概略図である。

【図9】第1の従来例におけるバイポーラトランジスタの不純物濃度の分布を示す概略図である。

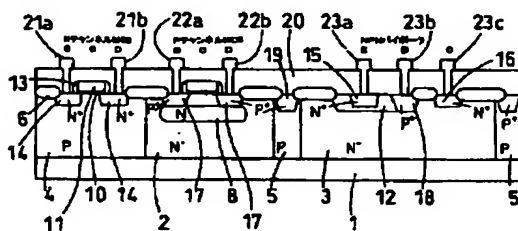
【図10】第2の従来例におけるバイポーラトランジスタの不純物濃度の分布を示す概略図である。

【図11】(a)はN型拡散領域とN<sup>+</sup>型拡散領域がP型ベースの周囲を包囲する状態のNPNTランジスタ領域の平面図、(b)は同図(a)のa-a線の断面図である。

【符号の説明】

- 1 半導体基板
- 2 N<sup>-</sup>型ウェル
- 3 N<sup>-</sup>型ウェル
- 4 P型ウェル
- 5 P型ウェル
- 6 LOCOS酸化膜
- 7 レジスト
- 8 N型拡散領域

【図4】



18

\* 9 N型拡散領域

9 a N型拡散領域

9 b N型拡散領域

9 c N型拡散領域

9 d N型拡散領域

10 ゲート酸化膜

11 ゲート電極

12 P型ベース

13 CVD膜

10 14 N<sup>+</sup>型拡散領域

15 N<sup>+</sup>型拡散領域

15 a N<sup>+</sup>型拡散領域

16 N<sup>+</sup>型拡散領域

17 P<sup>+</sup>型拡散領域

18 P<sup>+</sup>型拡散領域

18 a P<sup>+</sup>型拡散領域

18 b P<sup>+</sup>型拡散領域

19 P<sup>+</sup>型拡散領域

20 フィールド酸化膜

20 21 a NchMOSトランジスタのソース電極

21 b NchMOSトランジスタのドレイン電極

22 a PchMOSトランジスタのソース電極

22 b PchMOSトランジスタのドレイン電極

23 a NPNTランジスタのエミッタ電極

23 b NPNTランジスタのベース電極

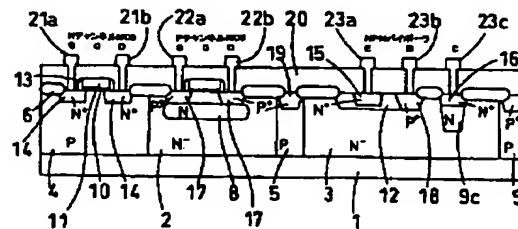
23 c NPNTランジスタのコレクタ電極

24 a PNPTランジスタのベース電極

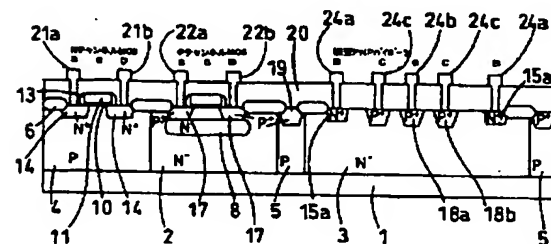
24 b PNPTランジスタのエミッタ電極

\* 24 c PNPTランジスタのコレクタ電極

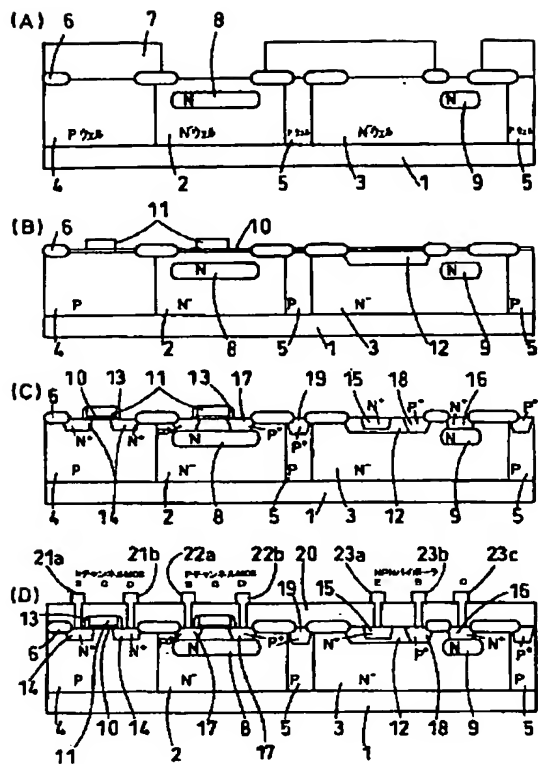
【図5】



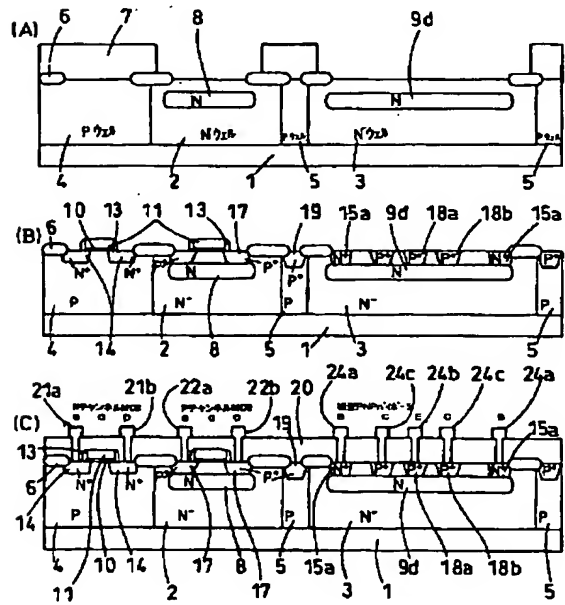
【図6】



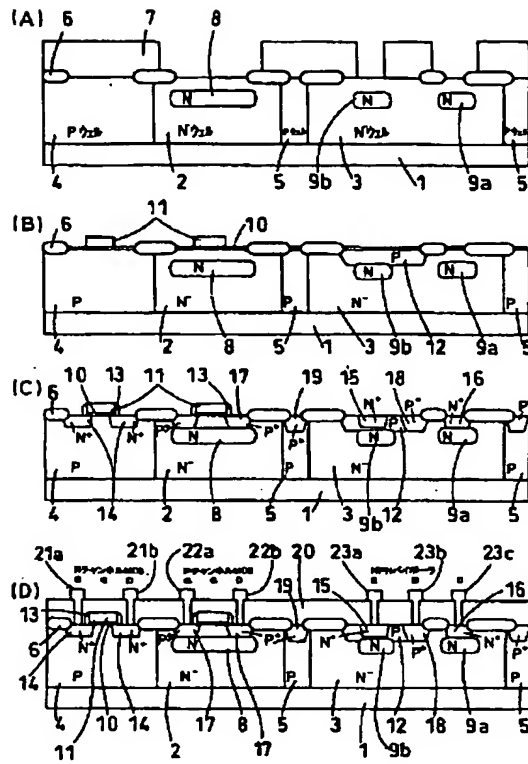
【図1】



【図3】

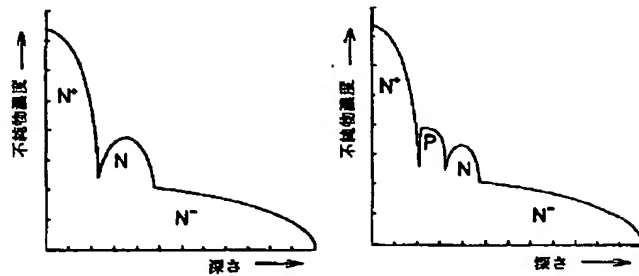


【図2】



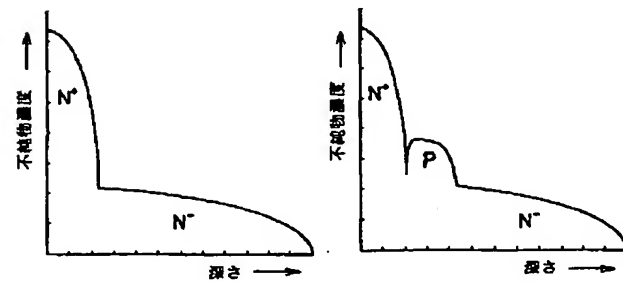
【図7】

【図8】

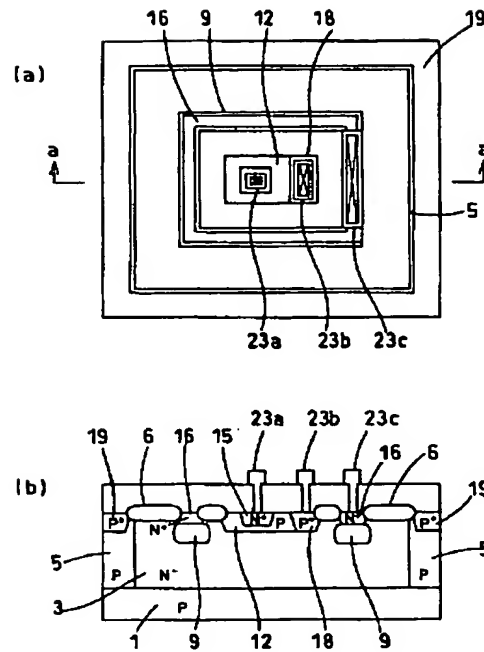


【図9】

【図10】



【図11】



フロントページの続き

Fターム(参考) 5F048 AA01 AA05 AA09 AA10 AC05  
 BA01 BB05 BD00 BD04 BE01  
 BE02 BE03 BF03 BG12 BH01  
 CA00 CA01 CA12 DA06 DA13  
 DA14 DA15 DA25  
 5F082 AA16 AA26 BA00 BA02 BA04  
 BA23 BC04 BC09 EA09 EA10